

## 明 細 書

## チップ積層型半導体装置

## 技術分野

[0001] 本発明は半導体装置に関し、特にチップ積層型の半導体装置に関する。

## 背景技術

[0002] チップ積層型の半導体装置では、小型化、薄型化が求められ、1つのパッケージに複数のチップを実装することが重要な要素の一つとなっている。この目的のために、通常、チップの回路面上にもう1つのチップをフェイスアップで搭載し、ワイヤボンディングにより、リードフレーム及びインターポザー基板に接続する構造のパッケージが開発されている。

[0003] 従来のチップ積層型の半導体装置においてメモリ容量を増すためになされている方法には、フェイスアップにチップを積層し、各々のチップをインターポザー基板にワイヤボンディングにより接続するワイヤ積層型の方法と、チップ間の信号伝送を高速に行う必要のあるチップをフェイスダウンで搭載するチップオンチップ型の方法がある。

[0004] ワイヤ積層型の半導体装置の組立はインターポザー基板と各チップをワイヤで接続するため、その組立コストは比較的安価である。そのため、比較的低コストに実装密度を高める目的で使用するのに適している。積層された各チップは夫々インターポザー基板と接続されるため、異なる電源電圧のチップを積層する場合でも、夫々の電圧を夫々のワイヤによって供給すれば良いという利点がある。

[0005] 図9は、従来のワイヤ積層型の半導体装置の断面図である。下に位置する半導体チップ2はボンディングワイヤ2bを介してインターポザー基板1と電氣的に接続しており、ボンディングワイヤ2bを介して電源及びグランドがインターポザー基板1から供給され、また、半導体チップ2に入力される電気信号及び半導体チップ2から出力される電気信号もボンディングワイヤ2bを介してインターポザー基板1との間を伝送される。上に位置する半導体チップ4はボンディングワイヤ4bを介してインターポザー基板1と電氣的に接続しており、ボンディングワイヤ4bを介して電源及びグランド

がインターポザー基板1から供給され、また、半導体チップ4に入力される電気信号及び半導体チップ4から出力される電気信号もボンディングワイヤ4bを介してインターポザー基板1との間を伝送される。

[0006] しかしながら、ワイヤ積層型のパッケージでは、積層した夫々のチップから一旦インターポザー基板又はリードフレームに接続する必要がある。インターポザー基板に接続した場合にはインターポザー基板内で配線の引き回しが必要となり、リードフレームに接続した場合にはマザーボード内で配線の引き回しが必要となる。このため、配線が複雑化することからインターポザー基板及びマザーボードのコストが高くなるといった問題点がある。

[0007] また、電源及びグランドの接続では、通常、直径が20乃至30  $\mu$  mのボンディングワイヤを使用するため低抵抗であり、安定するが、信号線についてはその接続により寄生容量が増すことになり伝送速度が低下するといった問題点がある。更に、インターポザー基板の配線密度の問題点から高密度実装が困難になるという問題点がある。

[0008] 一方、チップオンチップ型の半導体装置では、チップ間の接続に用いられるバンパを介して接続するため、伝送距離が短く高速伝送が可能な利点及びワイヤループ高さの制約がなくなるためパッケージ厚を薄く抑えることができる利点等がある(例えば、特許文献1乃至4参照。)

[0009] 図10は、従来のチップオンチップ型の半導体装置の断面図である。下に位置する半導体チップ2と上に位置する半導体チップ4との間にはバンパ3が設けられ、両チップを電氣的に接続している。半導体チップ2及び4に供給される電源及びグランド並びに電気信号はボンディングワイヤ2bを介して行われる。

[0010] 特許文献1:特開2002-261232号公報

特許文献2:特開2002-305282号公報

特許文献3:特開2003-110084号公報

特許文献4:特開2003-249622号公報

発明の開示

発明が解決しようとする課題

[0011] しかし、チップオンチップ型のパッケージにおいては、上に位置する半導体チップはフェイスダウンで下に位置する半導体チップに接続され、電源及びグランドを含み信号線も全て下に位置する半導体チップと接続されることになるため、配線抵抗による電圧降下等を考慮して下に位置する半導体チップは上に位置する半導体チップを接続するために再配線する必要がある。通常の再配線では配線抵抗が高くなる等の問題があり、半導体装置に安定した電源供給をすることはできない。さらに異なる電源電圧のチップを搭載し、下チップと接続する場合、下チップにコンバーターを追加する必要性が生じる等の設計変更が必要となり、コストが増加するとともに、汎用性が低下するという問題がある。

[0012] 本発明の目的は、チップオンチップ型の半導体装置において、複数段に積層された半導体チップ同士を電氣的に接続しても、半導体チップの回路構成を変えることを要せず、またコンバーター回路の搭載も要せずに行うことができる動作安定性に優れたチップ積層型半導体装置を提供することにある。

#### 課題を解決するための手段

[0013] 本発明の第1の観点に係るチップ積層型半導体装置は、インターポーザー基板と、前記インターポーザー基板上に2段以上に重ねて搭載された2以上の半導体チップとを有する。前記半導体チップの少なくとも1つは複数の貫通配線を有し、前記2以上の半導体チップのうち少なくとも1以上の半導体チップに前記複数の貫通配線を介して少なくとも1個の電源及びグランドを前記インターポーザー基板から供給する。

[0014] 本発明の第2の観点に係るチップ積層型半導体装置は、インターポーザー基板と、前記インターポーザー基板の上方に設けられ、上面に回路面及び厚膜配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、複数の貫通配線及び上面に回路面を備えた第2の半導体チップと、前記複数の貫通配線及び前記厚膜配線の間を電氣的に接続する複数のバンプと、前記インターポーザー基板と前記厚膜配線を電氣的に接続するボンディングワイヤとを有する。前記ボンディングワイヤ、前記厚膜配線、前記複数のバンプ及び前記複数の貫通配線を介して前記第2の半導体チップの回路面に少なくとも1個の電源及びグランドを前記インターポーザー基板から供給する。

- [0015] 本発明の第3の観点に係るチップ積層型半導体装置は、インターポーザー基板と、前記インターポーザー基板の上方に設けられ、上面に回路面及び厚膜配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、複数の貫通配線及び下面に回路面を備えた第2の半導体チップと、前記第2の半導体チップ及び前記厚膜配線の間を電氣的に接続する複数のバンプと、前記インターポーザー基板と前記厚膜配線を電氣的に接続するボンディングワイヤとを有する。前記ボンディングワイヤ、前記厚膜配線及び前記複数のバンプを介して前記第2の半導体チップの回路面に電源及びグランドを前記インターポーザー基板から供給し、前記複数の貫通配線及び前記ボンディングワイヤを介して前記第2の半導体チップの回路面と前記インターポーザー基板との間の電気信号の伝送を行う。
- [0016] 前記厚膜配線と前記バンプの厚さは同じであることが好ましい。また、前記厚膜配線と前記バンプはめっきにより形成されていてもよい。
- [0017] 本発明の第4の観点に係るチップ積層型半導体装置は、インターポーザー基板と、前記インターポーザー基板の上方に設けられ、複数の貫通配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、下面に回路面を備えた第2の半導体チップと、前記複数の貫通配線及び前記インターポーザー基板を電氣的に接続する複数の第1のバンプと、前記複数の貫通配線及び前記第2の半導体チップを電氣的に接続する複数の第2のバンプとを有する。そして、前記複数の第1のバンプ、前記複数の貫通配線及び前記第2のバンプを介して前記第2の半導体チップの回路面に少なくとも1個の電源及びグランドを前記インターポーザー基板から供給する。
- [0018] 本発明の第5の観点に係るチップ積層型半導体装置は、インターポーザー基板と、前記インターポーザー基板の上方に設けられ、上面に回路面及び厚膜配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、複数の貫通配線を備えたスペーサーと、前記スペーサーの上方に設けられ、下面に回路面を備えた第2の半導体チップと、前記複数の貫通配線及び前記厚膜配線を電氣的に接続する複数の第1のバンプと、前記複数の貫通配線及び前記第2の半導体チップを電氣的に接続する複数の第2のバンプと、前記インターポーザー基板と前記厚膜配線を



電氣的に接続するボンディングワイヤとを有する。そして、前記ボンディングワイヤ、前記厚膜配線、前記複数の第1のバンプ、前記複数の貫通配線及び前記複数の第2のバンプを介して前記第2の半導体チップの回路面に少なくとも1個の電源及びグランドを前記インターポザー基板から供給する。

[0019] 本発明の第6の観点に係るチップ積層型半導体装置は、インターポザー基板と、前記インターポザー基板の上方に設けられ、複数の第1の貫通配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、複数の第2の貫通配線を備えたスペーサーと、前記スペーサーの上方に設けられ、下面に回路面を備えた第2の半導体チップと、前記インターポザー基板及び前記複数の第1の貫通配線を電氣的に接続する複数の第1のバンプと、前記複数の第1の貫通配線及び前記複数の第2の貫通配線を電氣的に接続する複数の第2のバンプと、前記複数の第2の貫通配線及び前記第2の半導体チップを電氣的に接続する複数の第3のバンプとを有する。そして、前記複数の第1のバンプ、前記複数の第1の貫通配線、前記複数の第2のバンプ、前記複数の第2の貫通配線及び前記複数の第3のバンプを介して前記第2の半導体チップの回路面に少なくとも1個の電源及びグランドを前記インターポザー基板から供給する。

[0020] 本発明の第7の観点に係るチップ積層型半導体装置は、インターポザー基板と、前記インターポザー基板の上方に設けられ、上面に回路面及び厚膜配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、複数の貫通配線を備えた第2の半導体チップと、前記第2の半導体チップの上方に設けられ、下面に回路面を備えた第3の半導体チップと、前記複数の貫通配線及び前記厚膜配線を電氣的に接続する複数の第1のバンプと、前記複数の貫通配線及び前記第2の半導体チップを電氣的に接続する複数の第2のバンプと、前記インターポザー基板と前記厚膜配線を電氣的に接続するボンディングワイヤとを有する。そして、前記ボンディングワイヤ、前記厚膜配線、前記複数の第1のバンプ、前記複数の貫通配線及び前記複数の第2のバンプを介して前記第3の半導体チップの回路面に少なくとも1個の電源及びグランドを前記インターポザー基板から供給する。

[0021] 前記電源及びグランドを供給する前記半導体チップごとの複数の配線は、前記半

導体チップごとに並列に設けられ、前記インターポザー基板内、前記半導体チップ内又は前記スペーサー内の単一の配線に夫々並列に接続されていることが好ましい。

### 発明の効果

- [0022] 本発明においては、複数段に積層された半導体チップに貫通配線を用いて少なくとも1個の電源及びグランドを供給するので、半導体チップ上の各回路に個別に短い経路で電源電圧を供給することができる。このため、複数段に積層された半導体チップ同士を電氣的に接続しても、配線抵抗による電圧降下等を考慮する必要はないので、半導体チップの回路構成を変えることを要せず、またコンバーター回路の搭載も要せずを使用することができ、動作安定性に優れた半導体装置を提供することができる。これは、貫通配線を介して信号を伝送した場合も同様である。

### 図面の簡単な説明

- [0023] [図1]本発明の第1実施形態に係るチップ積層型半導体装置の断面図である。  
[図2]本発明の第2の実施形態に係るチップ積層型半導体装置の断面図である。  
[図3]本発明の第3の実施形態に係るチップ積層型半導体装置の断面図である。  
[図4]本発明の第4の実施形態に係るチップ積層型半導体装置の断面図である。  
[図5]本発明の第5の実施形態に係るチップ積層型半導体装置の断面図である。  
[図6]本発明の第6の実施形態に係るチップ積層型半導体装置の断面図である。  
[図7]本発明の第7の実施形態に係るチップ積層型半導体装置の断面図である。  
[図8]バンプ3と厚膜配線2cについての実施形態を示す図である。  
[図9]従来のワイヤ積層型の半導体装置の断面図である。  
[図10]従来のチップオンチップ型の半導体装置の断面図である。

### 符号の説明

- [0024] 1:インターポザー基板  
2, 4:半導体チップ  
2a, 4a:回路面  
2b, 4b:ボンディングワイヤ  
3:バンプ

5:貫通配線

6:ハンダボール

7:スペーサー

### 発明を実施するための最良の形態

- [0025] 以下、本発明の実施の形態について、添付の図面を参照して詳細に説明する。図1は、本発明の第1実施形態に係るチップ積層型半導体装置の断面図である。インターポザー基板1上には半導体チップ2が搭載されている。半導体チップ2の上面上には回路面2a及び厚膜配線2c(図8参照)が形成されている。半導体チップ2上には複数の貫通配線5を有する半導体チップ4が搭載されている。複数の貫通配線5の夫々の下部はバンプ3を介して半導体チップ2の厚膜配線2cに接続されており、貫通配線5の上部は半導体チップ4の上面上に形成された回路面4aに接続されている。半導体チップ2と半導体チップ4はバンプ3を介して接続されている。半導体チップ2の上面上に形成された厚膜配線2cはボンディングワイヤ2bを介してインターポザー基板1に接続されている。半導体チップ4の上面上に形成された回路面4aはボンディングワイヤ4bを介してインターポザー基板1に接続されている。これらの全体は樹脂により封止され、パッケージ化されている。ハンダボール6は、インターポザー基板1を他の基板に接着するとともに、インターポザー基板1内の配線を他の基板の配線と接続する。
- [0026] 次に、本発明の第1実施形態に係るチップ積層型半導体装置の動作について説明する。電源及びグランドはボンディングワイヤ2bを介して半導体チップ2の上面上に形成された厚膜配線2cに供給される。厚膜配線2cに供給された電源及びグランドは半導体チップ2上の回路面2bにおける回路に供給される。また、厚膜配線2cに供給された電源及びグランドは、厚膜配線2c、バンプ3及び貫通配線5を介して半導体チップ4の上面上に形成された回路面4aに供給される。半導体チップ2上の回路面2aに入力される電気信号及び半導体チップ2上の回路面2aから出力される電気信号は、ボンディングワイヤ2bを介してインターポザー基板1との間で伝送がなされ、半導体チップ4上の回路面4aに入力される電気信号及び半導体チップ4上の回路面4aから出力される電気信号は、ボンディングワイヤ4bを介してインターポザー基板1と

の間で伝送がなされる。

[0027] 次に、本発明の第1実施形態に係るチップ積層型半導体装置の効果について説明する。本実施形態においては、電気信号は半導体チップ2及び4とインターポザー基板1との間で夫々ボンディングワイヤ2b及び4bを通じて伝送される一方、上に位置する半導体チップ4に設けられた貫通配線5が、バンプ3を介して厚膜配線2cから電源及びグランドの供給を受けるので、上に位置する半導体チップ4の所望の箇所に電源及びグランドを短い経路で供給することが可能になるとともに、再配線が不要となるので配線抵抗が高くなるという問題が生じない。このため、半導体装置の動作安定性を高められる。従来は、半導体チップ2から半導体チップ4への電源及びグランドの供給をボンディングワイヤ又はバンプにより行っていたので、チップ内の配線抵抗による電圧降下等を考慮して再配線を行う必要が生じていた。

[0028] 次に、本発明の第2の実施形態について説明する。ただし、第2の実施形態において、第1の実施形態と同一の構成要素については、同一符号を付してその詳細な説明は省略する。

[0029] 図2は、本発明の第2の実施形態に係るチップ積層型半導体装置の断面図である。第2の実施形態に係るチップ積層型半導体装置は、上に位置する半導体チップ4がフェイスダウンに積層されている点が第1の実施形態の構成と異なる。上に位置する半導体チップ4の回路面4aはバンプ3を介して下に位置する半導体チップ2の回路面2aと接続されている。また、回路面4aは、貫通配線5及びボンディングワイヤ4cを介してインターポザー基板1に接続されている。全体は樹脂により封止され、パッケージ化されている。ハンダボール6は、インターポザー基板1を他の基板に接着するとともに、インターポザー基板1内の配線を他の基板の配線と接続する。

[0030] 本発明の第2の実施形態の動作について説明する。半導体チップ4の回路面4aに供給される電源及びグランドはボンディングワイヤ2b、厚膜配線2c、バンプ3を介してインターポザー基板1から供給される。半導体チップ4の回路面4aに入力される電気信号及び半導体チップ4の回路面4aから出力される電気信号は貫通配線5及びボンディングワイヤ4bを介してインターポザー基板1との間で伝送がなされる。

[0031] 本発明の第2の実施形態の効果は第1の実施形態と同様である。



[0032] 次に、本発明の第3の実施形態について説明する。ただし、第3の実施形態において、第1及び第2の実施形態と同一の構成要素については、同一符号を付してその詳細な説明は省略する。

[0033] 図3は、本発明の第3の実施形態に係るチップ積層型半導体装置の断面図である。第3の実施形態に係るチップ積層型半導体装置は、下に位置する半導体チップ2に貫通配線5が設けられている点及びインターポザー基板1と半導体チップ4を接続するボンディングワイヤが設けられていない点が第1及び第2の実施形態の構成と異なる。半導体チップ2に設けられた貫通配線5の下部はバンプ3によりインターポザー基板1に接続され、上部はバンプ3により上に位置する半導体チップ4に接続されている。全体は樹脂により封止され、パッケージ化されている。ハンダボール6は、インターポザー基板1を他の基板と接着するとともに、インターポザー基板1内の配線を他の基板の配線に接続する。

[0034] 次に、本発明の第3実施形態に係るチップ積層型半導体装置の動作について説明する。半導体チップ2の電源及びグランドはボンディングワイヤ2bを介して厚膜配線2cに供給される。厚膜配線2cに供給された電源及びグランドは半導体チップ2上の回路面2aにおける回路に供給される。半導体チップ4の電源及びグランドは、貫通配線5及びその上下に配置されるバンプ3を介してインターポザー基板1から供給される。半導体チップ2に入力される電気信号及び半導体チップ2から出力される電気信号は、ボンディングワイヤ2cを介してインターポザー基板1との間を伝送される。半導体チップ4に入力される電気信号及び半導体チップ4から出力される電気信号は、ボンディングワイヤ2c、厚膜配線2a及びバンプ3を介してインターポザー基板1との間を伝送される。又は、半導体チップ2の貫通配線5及びその上下に設けられているバンプ3を介してインターポザー基板1との間を伝送される構成としてもよい。

[0035] 次に、本発明の第3実施形態に係るチップ積層型半導体装置の効果について説明する。本実施形態においては、半導体チップ4の電源及びグランドは、貫通配線5及びその上下に配置されるバンプ3を介してインターポザー基板1から供給され、半導体チップ2に供給される電源及びグランドとは区別されて短い経路で供給される

ので、半導体装置としての動作安定性が向上する。また、電源及びグランドは、上に配置される半導体チップ4の必要な箇所へ貫通配線5及びその上下に配置されるバンプ3を介してインターポザー基板1から直接供給されるので、半導体チップ2の上に半導体チップ4を積層しても回路の再構成を行う必要はない。更に、異なる機能を組み合わせてシステムインパッケージを構成する場合等においては、半導体チップ4と半導体チップ2の動作電圧が異なることが多いが、たとえ両者の動作電圧が異なっても、半導体チップ2の動作電源とは区別された経路、すなわち貫通配線5及びその上下に配置されるバンプ3を介してインターポザー基板1から直接供給する経路で、上に位置する半導体チップ4の表面に形成された回路に電源及びグランドを供給するので、下チップにコンバーターを追加する必要は生じない。更にまた、半導体チップ2及び4の間における電気信号のやり取りはバンプ3を介して行われるため、半導体装置としての出力が高速でなされるという効果もある。

[0036] 次に、本発明の第4の実施形態について説明する。ただし、第4の実施形態において、第3の実施形態と同一の構成要素については、同一符号を付してその詳細な説明は省略する。

[0037] 図4は、本発明の第4の実施形態に係るチップ積層型半導体装置の断面図である。第4の実施形態に係るチップ積層型半導体装置は、インターポザー基板1と半導体チップ2とを接続するボンディングワイヤも設けられておらず、ボンディングワイヤが存在しない代わりに、貫通配線5の下部以外にも半導体チップ2とインターポザー基板1との間にバンプ3が設けられている点が第3の実施形態の構成と異なる。全体は樹脂により封止され、パッケージ化されている。ハンダボール6は、インターポザー基板1を他の基板に接着するとともに、インターポザー基板1内の配線を他の基板の配線に接続する。

[0038] 次に、本発明の第4実施形態に係るチップ積層型半導体装置の動作について説明する。半導体チップ2の電源及びグランドは貫通配線5の下部以外に設けられた半導体チップ2とインターポザー基板1との間のバンプ3を介して供給される。半導体チップ4の電源及びグランドは、第3実施形態と同様に、貫通配線5及びその上下に配置されるバンプ3を介してインターポザー基板1から供給される。半導体チップ2

に入力される電気信号及び半導体チップ2から出力される電気信号は、貫通配線5の下部以外に設けられた半導体チップ2とインターポーザー基板1との間のバンプ3を介してインターポーザー基板1との間を伝送される。半導体チップ4に入力される電気信号及び半導体チップ4から出力される電気信号は、貫通配線5及びその上下に配置されるバンプ3を介してインターポーザー基板1との間を伝送される。

[0039] 次に、本発明の第4実施形態に係るチップ積層型半導体装置の効果について説明する。本実施形態においては、半導体チップ4の電源及びグランドは、半導体チップ2の貫通配線5及びその上下に配置されるバンプ3を介してインターポーザー基板1から供給され、半導体チップ2に供給される経路とは異なっている。このため、半導体チップ2の上に半導体チップ4を積層しても、半導体チップ2の回路構成の変更を行う必要はない。また、半導体チップ2と半導体チップ4の動作電圧が異なってもコンバーターを半導体チップ2に設ける必要はない。従って、半導体チップ2及び4の動作電源を安定して供給することができる。また、バンプ3が、半導体チップ2に電気信号を入力する際の伝送並びに半導体チップ2から電気信号が出力される際の伝送にも用いられ、貫通配線5及びその上下のバンプ3が、半導体チップ4に電気信号を入力する際の伝送及び半導体チップ4から電気信号が出力される際の伝送にも用いられている。このため、上下のチップ間の伝送距離が短くなり、信号伝送の高速化が実現できる。更に、半導体チップ2及び半導体チップ4の間の電気信号のやり取りはバンプ3を介して行われるので、半導体装置としての出力が高速でなされるという効果もある。更にまた、ボンディングワイヤを使用していないので半導体装置全体を小型化することができる。

[0040] 次に、本発明の第5の実施形態について説明する。ただし、第5の実施形態において、第1乃至4の実施形態と同一の構成要素については、同一符号を付してその詳細な説明は省略する。

[0041] 図5は、本発明の第5の実施形態に係るチップ積層型半導体装置の断面図である。第5の実施形態に係るチップ積層型半導体装置は、半導体チップ2及び4の間に貫通配線5を有するスペーサ7が挿入されている点が第1乃至4の実施形態と異なる。全体は樹脂により封止され、パッケージ化されている。スペーサ7は電気絶縁性の

ある材料であればよい。ハンダボール6は、インターポザー基板1を他の基板に接着するとともに、インターポザー基板1内の配線を他の基板の配線に接続する。

[0042] 次に、本発明の第5実施形態に係るチップ積層型半導体装置の動作について説明する。電源及びグランドはボンディングワイヤ2cを介して半導体チップ2の上面に形成された厚膜配線2aに供給される。厚膜配線2aに供給された電源及びグランドは半導体チップ2上の回路面2bにおける回路に供給される。また、厚膜配線2a、貫通配線5の上下に設けられたバンプ3及び貫通配線5を介して半導体チップ4の下面に形成された回路面4aに電源及びグランドが供給される。半導体チップ2上の回路面2aに入力される電気信号及び半導体チップ2上の回路面2aから出力される電気信号は、ボンディングワイヤ2bを介してインターポザー基板1との間で伝送がなされ、半導体チップ4上の回路面4aに入力される電気信号及び回路面4aから出力される電気信号は、貫通配線5の上下に設けられたバンプ3、貫通配線5、厚膜配線2a及びボンディングワイヤ2cを介してインターポザー基板1との間で伝送がなされる。

[0043] 次に、本発明の第5実施形態に係るチップ積層型半導体装置の効果について説明する。本実施形態においては、半導体チップ2及び4の間に貫通配線5を有するスペーサ7が挿入されているので、上に配置される半導体チップ4の大きさに制約を設ける必要がなくなる。スペーサ7が半導体チップ2と半導体チップ4の間の間隙を確保しているため、半導体チップ4が半導体チップ2より大きくても半導体チップ2とインターポザー基板との間を接続するボンディングワイヤ2bを配置することができるからである。また、半導体チップ4に供給される電源及びグランドは、ボンディングワイヤ2b、厚膜配線2c、貫通配線5の上下に設けられたバンプ3及び貫通配線5を介して供給されるので、上に位置する半導体チップ4の所望の箇所に電源及びグランドを短い経路で供給することが可能になるとともに、再配線が不要となるので、再配線により配線抵抗が高くなるという問題点が生じない。このため、半導体装置の動作安定性が高められる。更に、半導体チップ2及び4の間における電気信号のやり取りは貫通配線5及び貫通配線5の上下に設けられたバンプ3を介して行われるため、半導体装置としての出力が高速でなされるという効果もある。

[0044] 次に、本発明の第6の実施形態について説明する。ただし、第6の実施形態におい



て、第5の実施形態と同一の構成要素については、同一符号を付してその詳細な説明は省略する。

[0045] 図6は、本発明の第6の実施形態に係るチップ積層型半導体装置の断面図である。第6の実施形態に係るチップ積層型半導体装置は、半導体チップ2に貫通配線5及びその下のバンプ3を設け、且つボンディングワイヤ2cを削除した点が第5実施形態と異なる。全体は樹脂により封止され、パッケージ化されている。ハンダボール6は、インターポーザー基板1を他の基板と接着するとともに、インターポーザー基板1内の配線を他の基板の配線に接続する。

[0046] 次に、本発明の第6実施形態に係るチップ積層型半導体装置の動作について説明する。半導体チップ2の電源及びグランドは貫通配線5の下部以外に設けられた半導体チップ2とインターポーザー基板1との間のバンプ3を介して供給される。半導体チップ4の電源及びグランドは、半導体チップ2の貫通配線5及びスペーサー7の貫通配線5並びにそれらの上下に配置されるバンプ3を介してインターポーザー基板1から供給される。半導体チップ2に入力される電気信号及び半導体チップ2から出力される電気信号は、貫通配線5の下部以外に設けられた半導体チップ2とインターポーザー基板1との間のバンプ3を介してインターポーザー基板1との間を伝送される。半導体チップ4に入力される電気信号及び半導体チップ4から出力される電気信号は、半導体チップ2の貫通配線5及びスペーサー7の貫通配線5並びにそれらの上下に配置されるバンプ3を介してインターポーザー基板1との間を伝送される。

[0047] 次に、本発明の第6実施形態に係るチップ積層型半導体装置の効果について説明する。本実施形態においては、半導体チップ4の電源及びグランドは、半導体チップ2の貫通配線5及びスペーサー7の貫通配線5並びにそれらの上下に配置されるバンプ3を介してインターポーザー基板1から供給され、半導体チップ2に供給される経路とは異なっている。このため、半導体チップ2の上に半導体チップ4を積層しても、半導体チップ2の回路構成の変更を行う必要はない。また、半導体チップ2と半導体チップ4の動作電圧が異なってもコンバーターを半導体チップ2に設ける必要はない。従って、半導体チップ2及び4の動作電源を安定して供給することができる。また、バンプ3が、半導体チップ2に電気信号を入力する際の伝送並びに半導体チップ2

から電気信号が出力される際の伝送にも用いられ、半導体チップ2の貫通配線5及びスペーサー7の貫通配線5並びにそれらの上下のバンプ3が、半導体チップ4に電気信号を入力する際の伝送及び半導体チップ4から電気信号が出力される際の伝送にも用いられている。このため、上下のチップ間の伝送距離が短くなり、信号伝送の高速化が実現できる。更に、半導体チップ2及び半導体チップ4の間の電気信号のやり取りも半導体チップ2の貫通配線5及びスペーサー7の貫通配線5並びにそれらの上下のバンプ3を介して行われるので、半導体装置としての出力が高速でなされるという効果もある。更にまた、ボンディングワイヤを使用していないので半導体装置全体を小型化することができる。

[0048] 次に、本発明の第7の実施形態について説明する。ただし、第7の実施形態において、第1乃至6の実施形態と同一の構成要素については、同一符号を付してその詳細な説明は省略する。

[0049] 図7は、本発明の第7の実施形態に係るチップ積層型半導体装置の断面図である。第7の実施形態に係るチップ積層型半導体装置は、半導体チップ2及び4の間に貫通配線5を有する半導体チップ8が挿入されている点が第1乃至6の実施形態と異なる。全体は樹脂により封止され、パッケージ化されている。ハンダボール6は、インターポーザー基板1を他の基板と接着するとともに、インターポーザー基板1内の配線を他の基板の配線に接続する。

[0050] 本実施形態は、半導体チップを3つ積層しているが、動作及び効果は半導体チップを2つ積層した場合と基本的に同様である。ただし、3つの半導体チップを積層しているので、多数の半導体チップを高密度に積層することが可能となる。

[0051] 次に、電源及びグランドをさらに安定化させるためのバンプ3と厚膜配線2cについての実施形態について説明する。図8は、バンプ3と厚膜配線2cについての実施形態を示す図である。半導体チップ2の上には接続用のバンプがめっきにより形成されるが、バンプ3の形成と同時に厚膜配線2cを形成することにより、更に一層の安定動作が可能となる。バンプ3と厚膜配線2cを同時に形成することでバンプ3と厚膜配線2cの厚さは等しくなるので、厚膜配線2cの厚さがバンプ3の厚さよりも大きくなることはなく、厚膜配線2cの厚さをバンプ3の厚さとともに厚くすることが可能であるからで

ある。厚膜配線2cの厚さが厚くなれば低抵抗の配線を得ることができる。また、厚膜配線2cの厚さとバンプ3の厚さが同じであれば、厚膜配線2cがバンプ3の接続の障害となることはない。更に、厚膜配線2cの厚さが厚ければ、流すことができる電流量が多くなるので、厚膜配線2cに接続する配線の数が多くなってもそれらの配線に厚膜配線2cは電源及びグランドを供給することが可能である。このため、積層して搭載される半導体チップの回路の変更及びインターポザー基板内の再配線をしなくても半導体チップの上に半導体チップを積層することが可能となり、コストメリットも生じる。

[0052] 以上述べてきたように、貫通配線5は、電源及びグランドを半導体チップ上に搭載された半導体チップに供給する際の動作安定性の向上に寄与する。更に、前述のいくつかの実施形態の効果の中で述べたように、貫通配線5を電気信号の供給に使用することもでき、この場合は電極間の接続距離が短くなるため、高速化等の信号伝送特性の向上に寄与できる。

[0053] 本発明のように、貫通配線を介して電源及びグランドを半導体チップに供給することにより、LSI内の配線引き回しによりIRドロップ(電源電圧の低下)が発生するようなLSIチップの特定回路に最短の配線距離で電源を供給することができる。特に、チップ端部から電圧を供給した場合、チップ中央部にて、電圧降下が大きくなるが、この電圧降下を可及的に小さくするために、チップ中央部に貫通配線を設け、この貫通配線に電源又はグランドを接続することが好ましい。なお、電源及びグランドが複数設けられている場合もあるが、この場合は、貫通配線により供給する電源及びグランドは、全ての電源及びグランドではなく、一部のものであってもよい。即ち、少なくとも1個の電源及びグランドを貫通配線に接続すれば良い。又は全ての電源を貫通配線により供給してもよい。グランドについては、通常、電源電圧確保のため、電源とペアに供給される。

[0054] また、貫通配線を介して信号を伝送してもよい。即ち、電源及びグランドに限らず、信号伝送に貫通配線を使用することができ、電源及びグランドと信号伝送とを混在させることもできる。

[0055] また、前述の実施形態は、BGA(ボールグリットアレイ)タイプのパッケージであるが

、本発明はQFP(クワッドフラットパッケージ)タイプなどすべての積層型パッケージ対しても同様に適用することができる。

#### 産業上の利用可能性

[0056] 本発明のチップ積層型半導体装置は、BGA及びQFP等の積層型パッケージに適用することができる。



## 請求の範囲

- [1] インターポザー基板と、前記インターポザー基板上に2段以上に重ねて搭載された複数の半導体チップとを有し、前記半導体チップのうち少なくとも1つは複数の貫通配線を有し、少なくとも1つの前記半導体チップは前記貫通配線を介して少なくとも1個の電源及びグランドが前記インターポザー基板から供給されていることを特徴とするチップ積層型半導体装置。
- [2] インターポザー基板と、前記インターポザー基板の上方に設けられ、上面に回路面及び厚膜配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、複数の貫通配線及び上面に回路面を備えた第2の半導体チップと、前記複数の貫通配線及び前記厚膜配線の間を電氣的に接続する複数のバンプと、前記インターポザー基板と前記厚膜配線を電氣的に接続するボンディングワイヤとを有し、前記ボンディングワイヤ、前記厚膜配線、前記複数のバンプ及び前記複数の貫通配線を介して前記第2の半導体チップの回路面に少なくとも1個の電源及びグランドが前記インターポザー基板から供給されていることを特徴とするチップ積層型半導体装置。
- [3] インターポザー基板と、前記インターポザー基板の上方に設けられ、上面に回路面及び厚膜配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、複数の貫通配線及び下面に回路面を備えた第2の半導体チップと、前記第2の半導体チップ及び前記厚膜配線の間を電氣的に接続する複数のバンプと、前記インターポザー基板と前記厚膜配線を電氣的に接続するボンディングワイヤとを有し、前記ボンディングワイヤ、前記厚膜配線及び前記複数のバンプを介して前記第2の半導体チップの回路面に電源及びグランドが前記インターポザー基板から供給され、前記複数の貫通配線及び前記ボンディングワイヤを介して前記第2の半導体チップの回路面と前記インターポザー基板との間の電気信号の伝送が行われることを特徴とするチップ積層型半導体装置。
- [4] 前記厚膜配線の厚さと前記複数のバンプの高さが同一であることを特徴とする請求項2又は3に記載のチップ積層型半導体装置。
- [5] 前記厚膜配線と前記複数のバンプがめっきにより形成されていることを特徴とする請

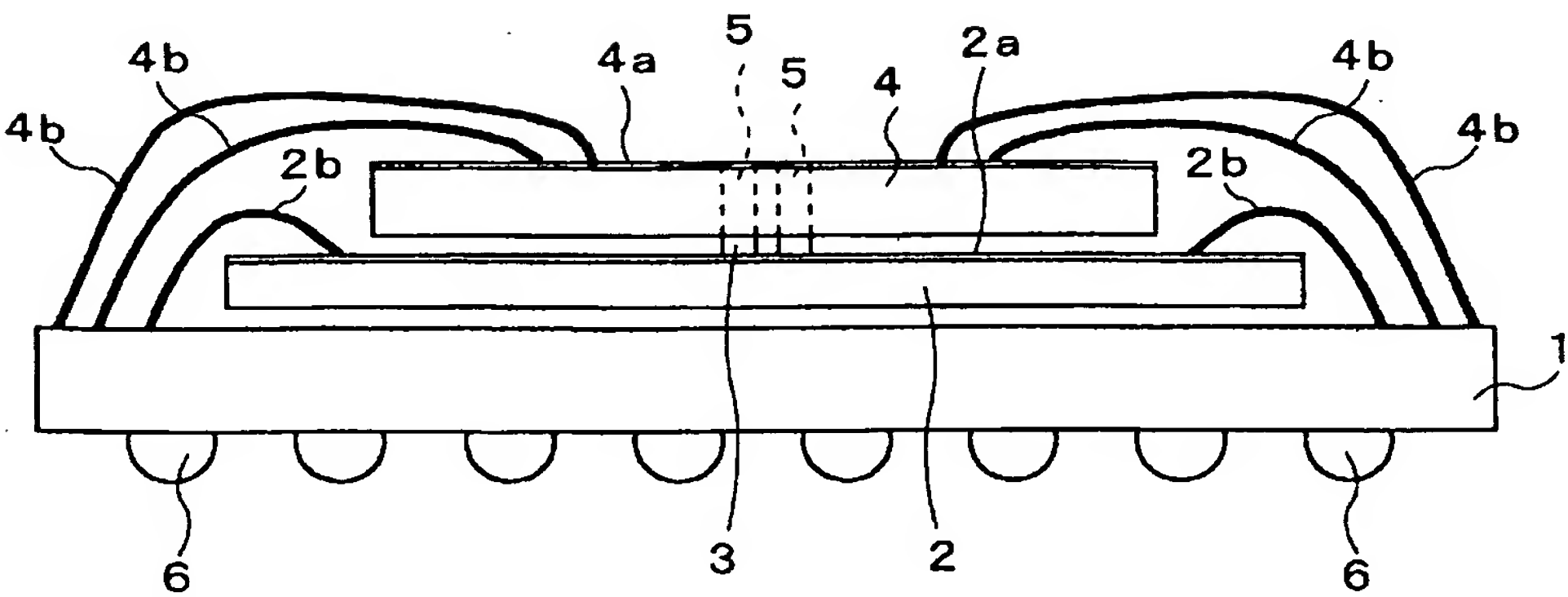
求項4に記載のチップ積層型半導体装置。

- [6] インターポーザー基板と、前記インターポーザー基板の上方に設けられ、複数の貫通配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、下面に回路面を備えた第2の半導体チップと、前記複数の貫通配線及び前記インターポーザー基板を電氣的に接続する複数の第1の bumps と、前記複数の貫通配線及び前記第2の半導体チップを電氣的に接続する複数の第2の bumps とを有し、前記複数の第1の bumps、前記複数の貫通配線及び前記第2の bumps を介して前記第2の半導体チップの回路面に少なくとも1個の電源及びグランドを前記インターポーザー基板から供給することを特徴とするチップ積層型半導体装置。
- [7] インターポーザー基板と、前記インターポーザー基板の上方に設けられ、上面に回路面及び厚膜配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、複数の貫通配線を備えたスペーサーと、前記スペーサーの上方に設けられ、下面に回路面を備えた第2の半導体チップと、前記複数の貫通配線及び前記厚膜配線を電氣的に接続する複数の第1の bumps と、前記複数の貫通配線及び前記第2の半導体チップを電氣的に接続する複数の第2の bumps と、前記インターポーザー基板と前記厚膜配線を電氣的に接続するボンディングワイヤとを有し、前記ボンディングワイヤ、前記厚膜配線、前記複数の第1の bumps、前記複数の貫通配線及び前記複数の第2の bumps を介して前記第2の半導体チップの回路面に少なくとも1個の電源及びグランドを前記インターポーザー基板から供給することを特徴とするチップ積層型半導体装置。
- [8] インターポーザー基板と、前記インターポーザー基板の上方に設けられ、複数の第1の貫通配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、複数の第2の貫通配線を備えたスペーサーと、前記スペーサーの上方に設けられ、下面に回路面を備えた第2の半導体チップと、前記インターポーザー基板及び前記複数の第1の貫通配線を電氣的に接続する複数の第1の bumps と、前記複数の第1の貫通配線及び前記複数の第2の貫通配線を電氣的に接続する複数の第2の bumps と、前記複数の第2の貫通配線及び前記第2の半導体チップを電氣的に接続する複数の第3の bumps とを有し、前記複数の第1の bumps、前記複数の第1の貫通

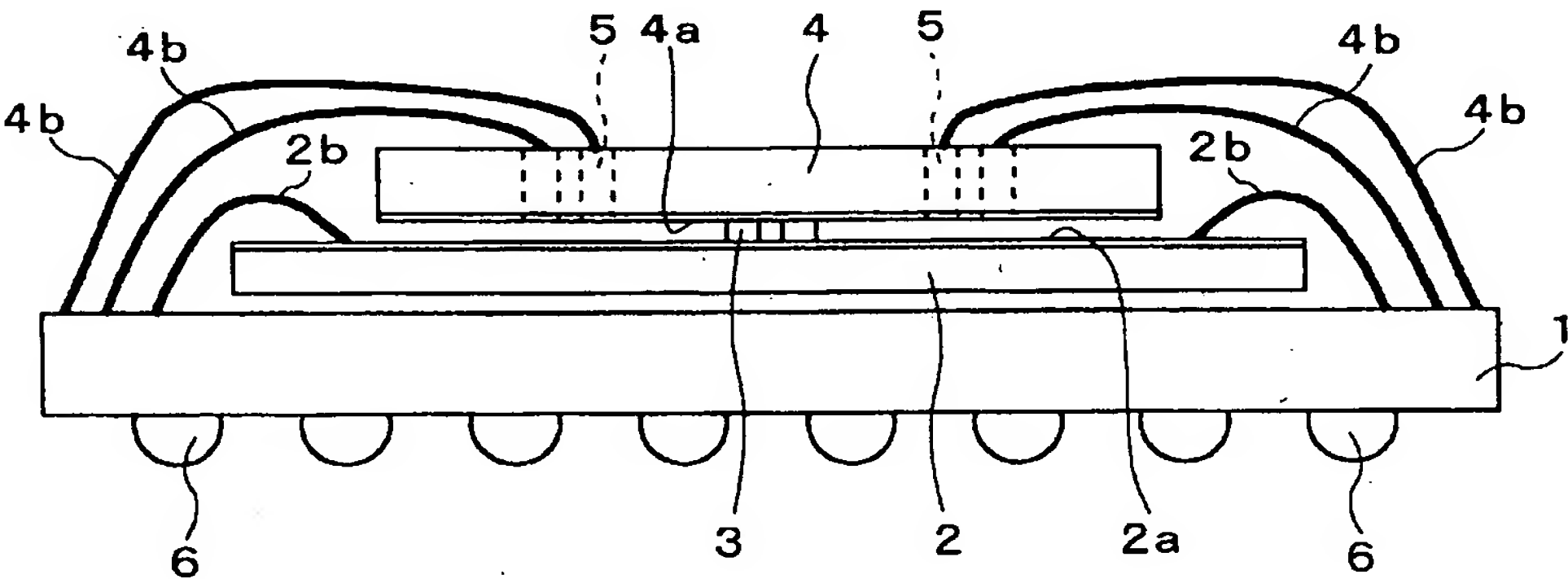
配線、前記複数の第2の bumps、前記複数の第2の貫通配線及び前記複数の第3の bumps を介して前記第2の半導体チップの回路面に少なくとも1個の電源及びグランドを前記インターポーザー基板から供給することを特徴とするチップ積層型半導体装置。

- [9] インターポーザー基板と、前記インターポーザー基板の上方に設けられ、上面に回路面及び厚膜配線を備えた第1の半導体チップと、前記第1の半導体チップの上方に設けられ、複数の貫通配線を備えた第2の半導体チップと、前記第2の半導体チップの上方に設けられ、下面に回路面を備えた第3の半導体チップと、前記複数の貫通配線及び前記厚膜配線を電気的に接続する複数の第1の bumps と、前記複数の貫通配線及び前記第2の半導体チップを電気的に接続する複数の第2の bumps と、前記インターポーザー基板と前記厚膜配線を電気的に接続するボンディングワイヤとを有し、前記ボンディングワイヤ、前記厚膜配線、前記複数の第1の bumps、前記複数の貫通配線及び前記複数の第2の bumps を介して前記第3の半導体チップの回路面に少なくとも1個の電源及びグランドを前記インターポーザー基板から供給することを特徴とするチップ積層型半導体装置。
- [10] 前記電源及びグランドを供給する前記半導体チップごとの複数の配線は、前記半導体チップごとに並列に設けられ、前記インターポーザー基板内、前記半導体チップ内又は前記スペーサー内の単一の配線に夫々並列に接続されていることを特徴とする請求項1乃至9のいずれか1項に記載のチップ積層型半導体装置。
- [11] 前記貫通配線を介して、前記少なくとも1個の電源及びグランドに加えて、信号も伝送されることを特徴とする請求項1、2、6乃至9のいずれか1項に記載のチップ積層型半導体装置。

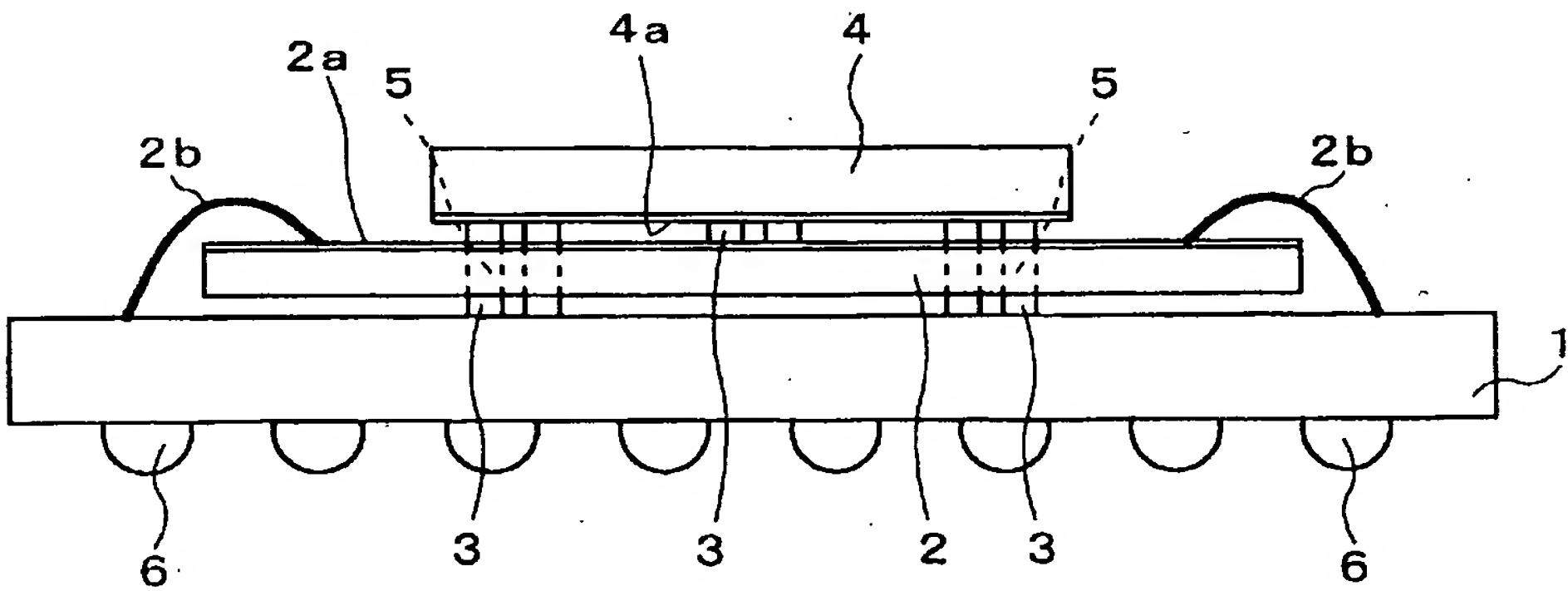
[図1]



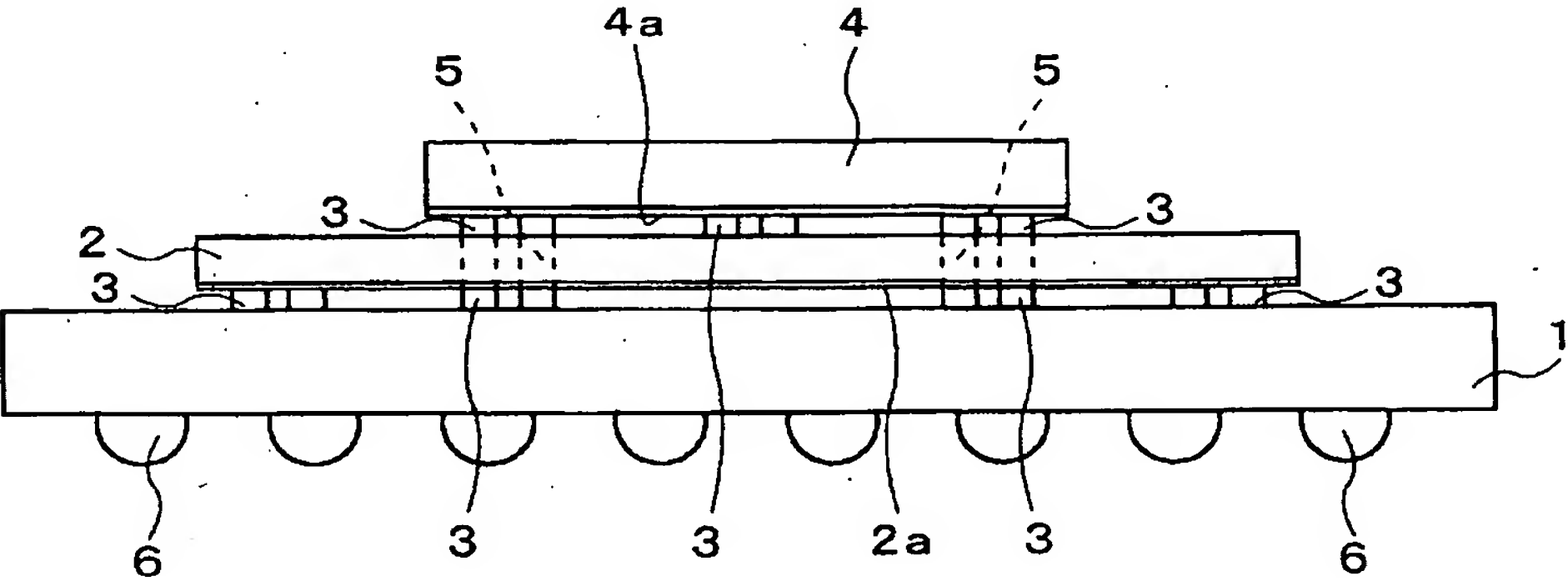
[図2]



[図3]

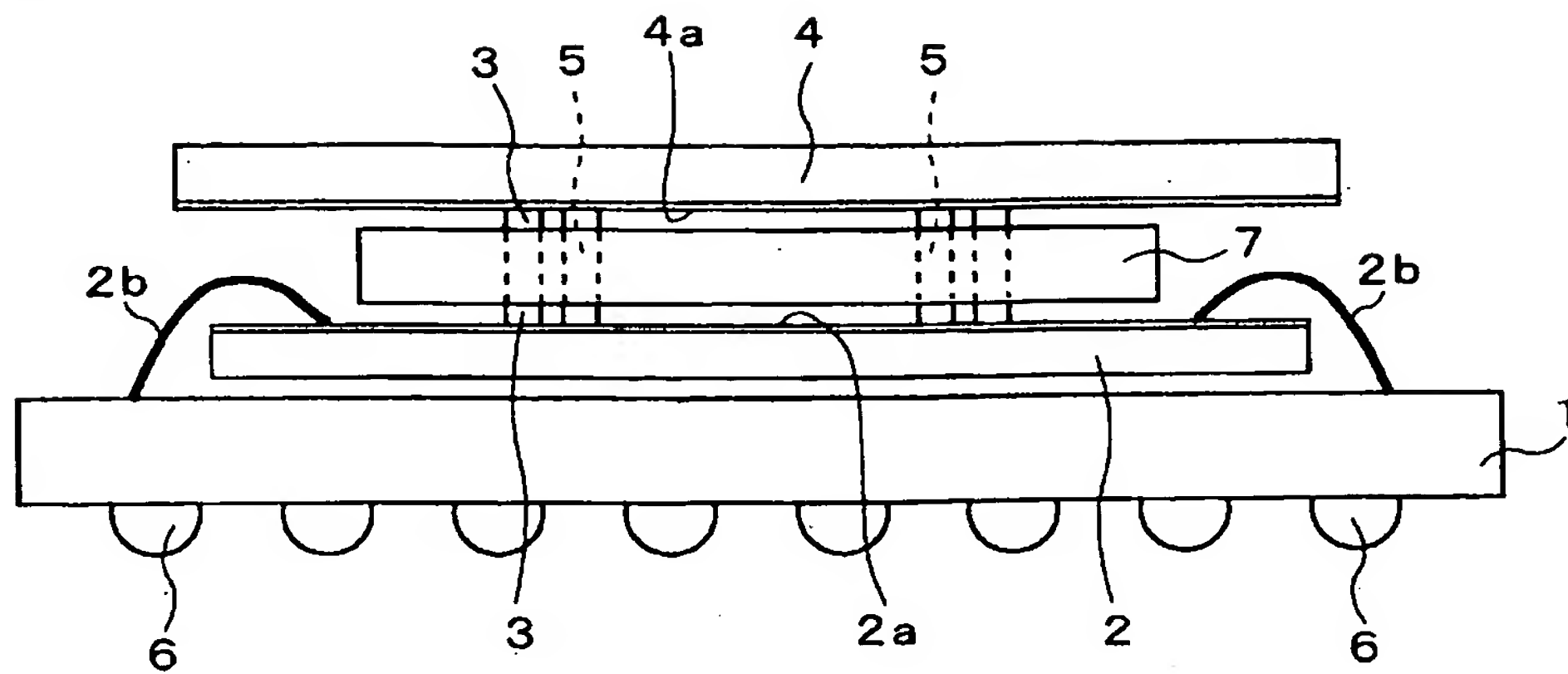


[図4]

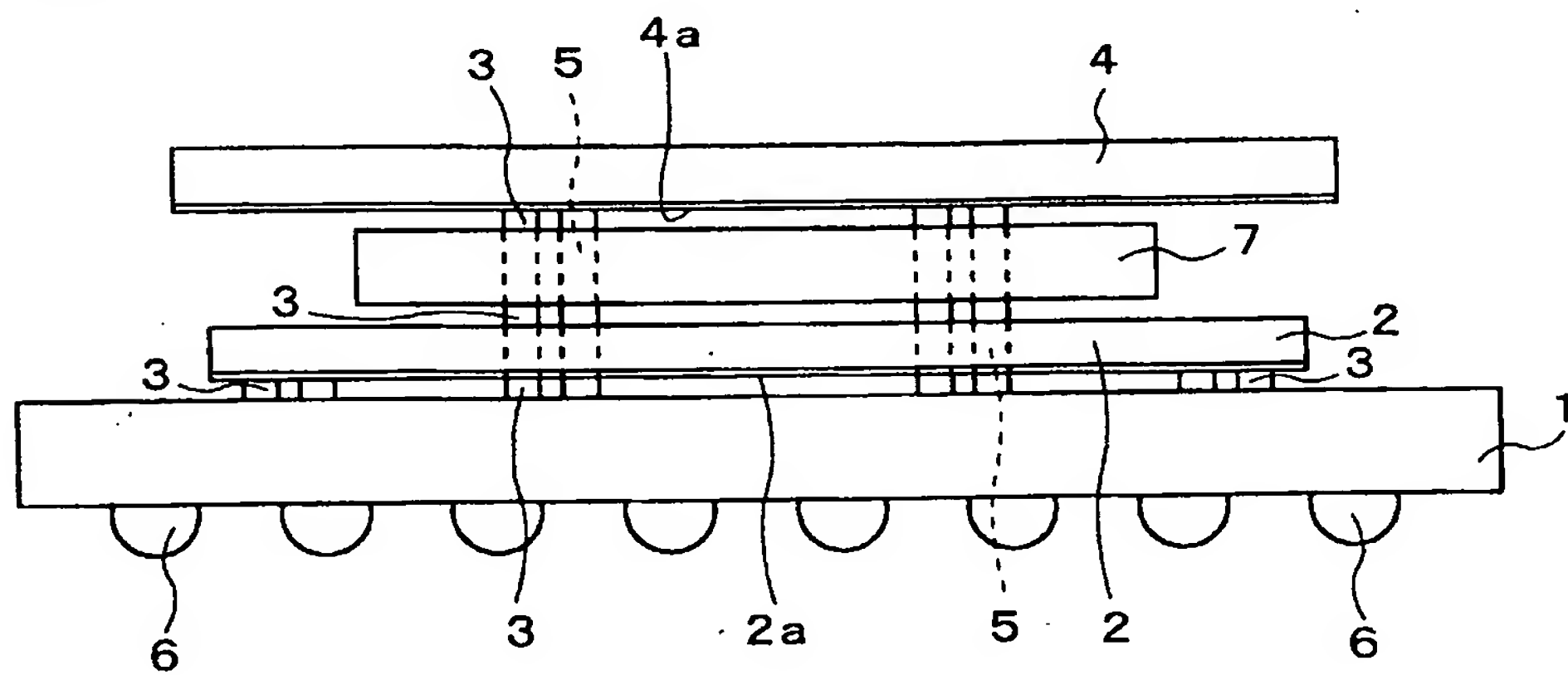




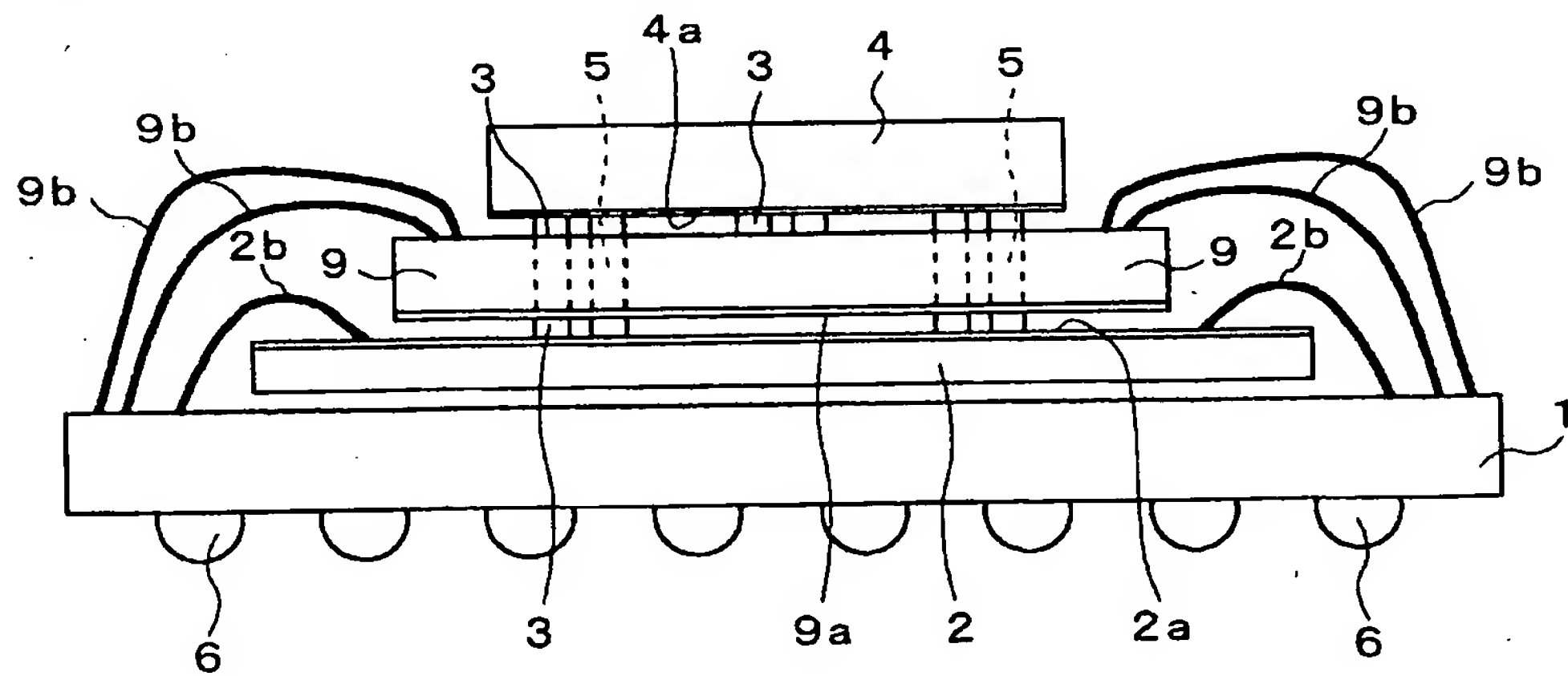
[図5]



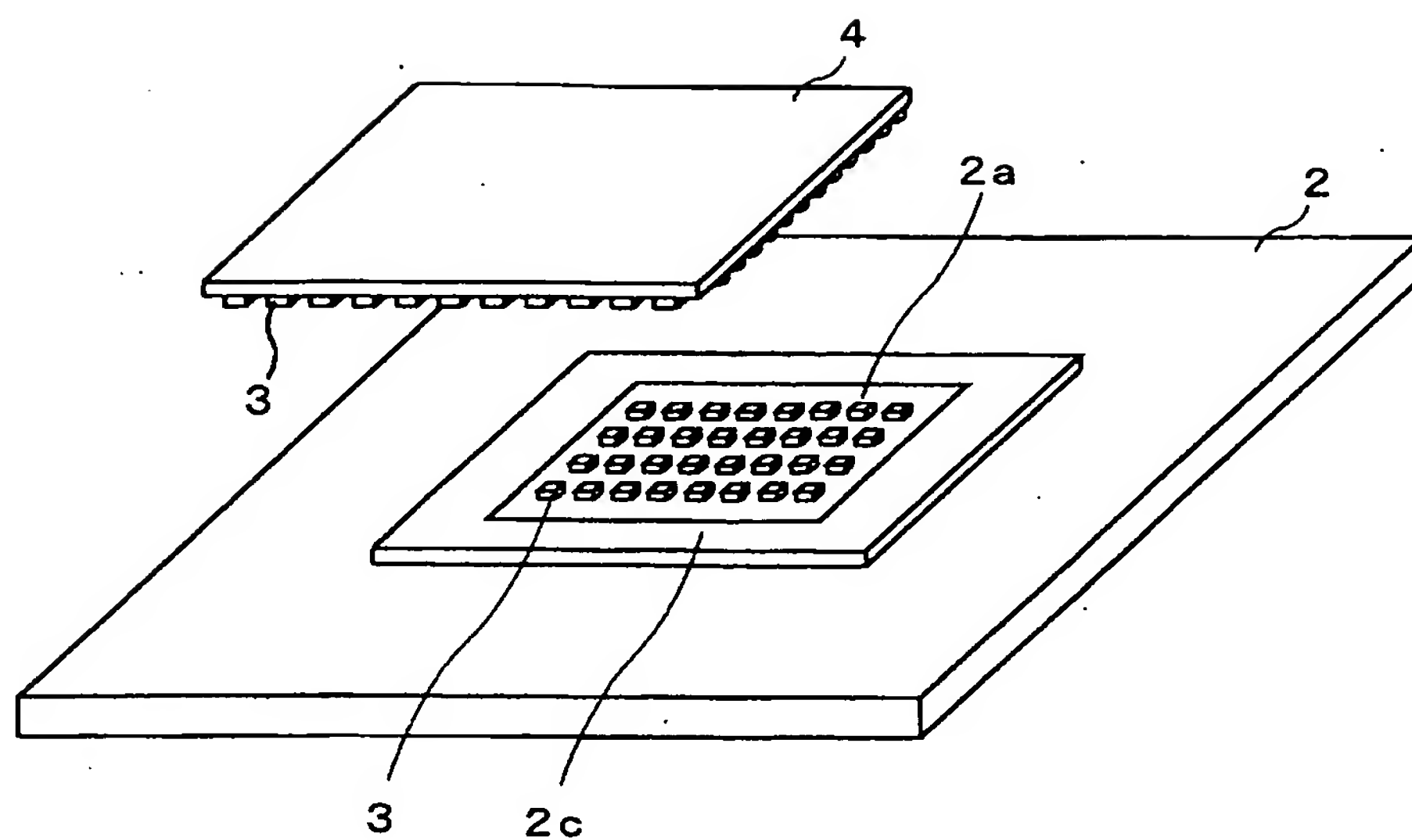
[図6]



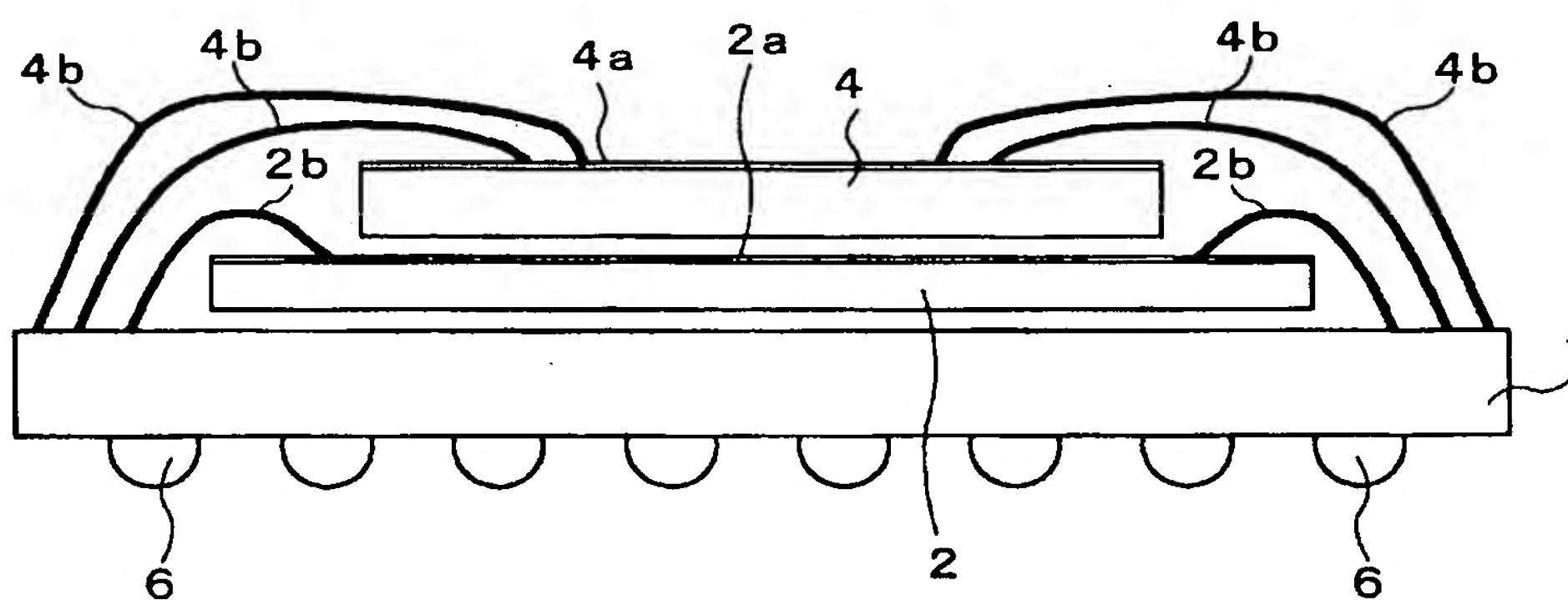
[図7]



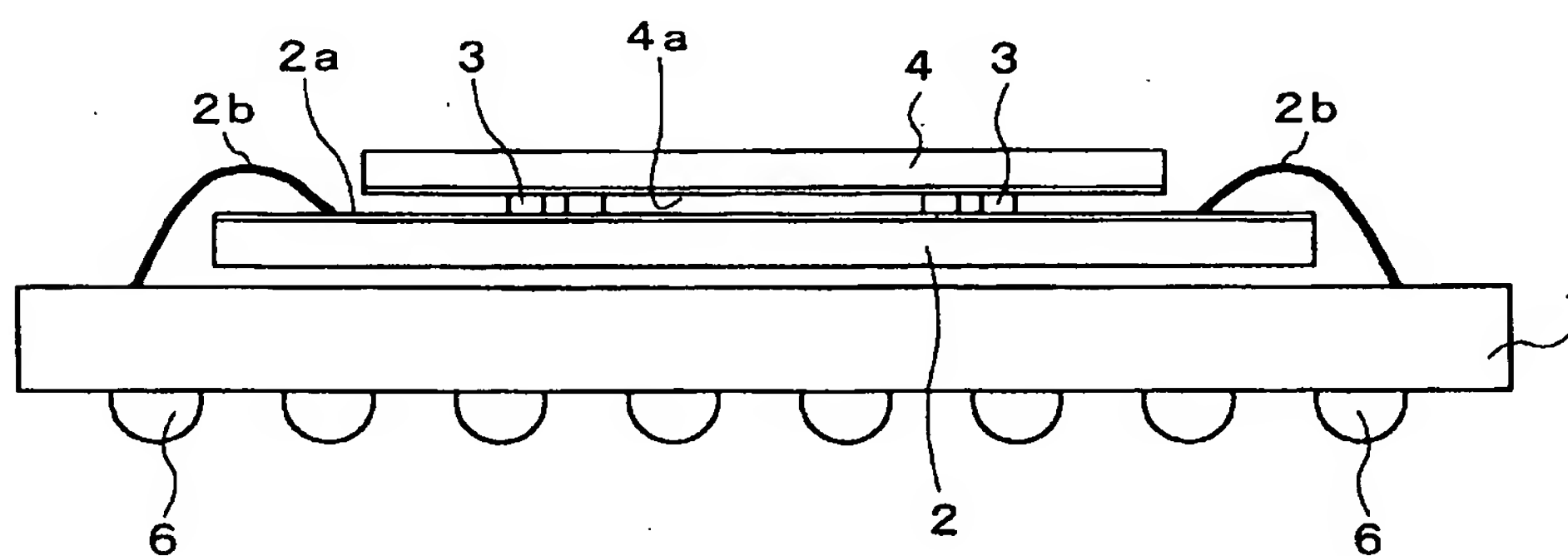
[図8]



[図9]



[図10]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005544

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H01L25/065, 25/07, 25/18

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L25/065, 25/07, 25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2005 |
| Kokai Jitsuyo Shinan Koho | 1971-2005 | Toroku Jitsuyo Shinan Koho | 1994-2005 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                           | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | JP 2002-305282 A (Shinko Electric Industries Co., Ltd.),<br>18 October, 2002 (18.10.02),<br>Par. Nos. [0016] to [0023]; Figs. 2 to 7<br>& EP 1248295 A2 & US 2002/0145191 A1 | 1, 6, 8, 11           |
| P, X      | JP 2004-152810 A (Sharp Corp.),<br>27 May, 2004 (27.05.04),<br>Par. Nos. [0093] to [0112]; Fig. 9<br>& US 2004/0080040 A1                                                    | 1, 10-11              |
| Y         | JP 5-109977 A (Mitsubishi Electric Corp.),<br>30 April, 1993 (30.04.93),<br>Par. No. [0012]; Figs. 3 to 4<br>(Family: none)                                                  | 7, 10                 |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
12 May, 2005 (12.05.05)Date of mailing of the international search report  
31 May, 2005 (31.05.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005544

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                        | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 5-48001 A (Fujitsu Ltd.),<br>26 February, 1993 (26.02.93),<br>Par. Nos. [0009] to [0016]; Figs. 1 to 3<br>(Family: none)               | 7, 10                 |
| Y         | JP 5-129516 A (Hitachi, Ltd.),<br>25 May, 1993 (25.05.93),<br>Par. Nos. [0023] to [0034]; Figs. 1 to 2<br>(Family: none)                  | 10                    |
| Y         | JP 11-163251 A (Matsushita Electronics Corp.),<br>18 June, 1999 (18.06.99),<br>Par. Nos. [0012] to [0013]; Figs. 1 to 2<br>(Family: none) | 10                    |
| A         | JP 5-75014 A (Fujitsu Ltd.),<br>26 March, 1993 (26.03.93),<br>Par. Nos. [0014] to [0016]; Figs. 2 to 3<br>(Family: none)                  | 2-5, 9                |
| A         | JP 2000-243906 A (Sharp Corp.),<br>08 September, 2000 (08.09.00),<br>Fig. 12<br>(Family: none)                                            | 2-5, 9                |



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L25/065, 25/07, 25/18

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H01L25/065, 25/07, 25/18

## 最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2005年 |
| 日本国実用新案登録公報 | 1996-2005年 |
| 日本国登録実用新案公報 | 1994-2005年 |

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                          | 関連する<br>請求の範囲の番号 |
|-----------------|------------------------------------------------------------------------------------------------------------|------------------|
| X               | JP 2002-305282 A (新光電気工業株式会社), 2002. 10. 18<br>【0016】 - 【0023】, 図 2-7 & EP 1248295 A2 & US 2002/0145191 A1 | 1, 6, 8, 11      |
| P, X            | JP 2004-152810 A (シャープ株式会社), 2004. 05. 27<br>【0093】 - 【0112】, 図 9 & US 2004/0080040 A1                     | 1, 10-11         |
| Y               | JP 5-109977 A (三菱電機株式会社), 1993. 04. 30<br>【0012】, 図 3-4 (ファミリーなし)                                          | 7, 10            |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

12.05.2005

国際調査報告の発送日

31.05.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

和瀬田 芳正

電話番号 03-3581-1101 内線 3471

4R

2929

| C (続き) 関連すると認められる文献 |                                                                             |                  |
|---------------------|-----------------------------------------------------------------------------|------------------|
| 引用文献の<br>カテゴリー*     | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                           | 関連する<br>請求の範囲の番号 |
| Y                   | JP 5-48001 A (富士通株式会社), 1993.02.26<br>【0009】 - 【0016】, 図 1-3 (ファミリーなし)      | 7, 10            |
| Y                   | JP 5-129516 A (株式会社日立製作所), 1993.05.25<br>【0023】 - 【0034】, 図 1-2 (ファミリーなし)   | 10               |
| Y                   | JP 11-163251 A (松下電子工業株式会社), 1999.06.18<br>【0012】 - 【0013】, 図 1-2 (ファミリーなし) | 10               |
| A                   | JP 5-75014 A (富士通株式会社), 1993.03.26<br>【0014】 - 【0016】, 図 2-3 (ファミリーなし)      | 2-5, 9           |
| A                   | JP2000-243906 A (シャープ株式会社), 2000.09.08<br>図 12 (ファミリーなし)                    | 2-5, 9           |